

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-238830

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

H01L 23/12
H01L 23/50

(21)Application number : 10-040382

(71)Applicant : HITACHI CABLE LTD

(22)Date of filing : 23.02.1998

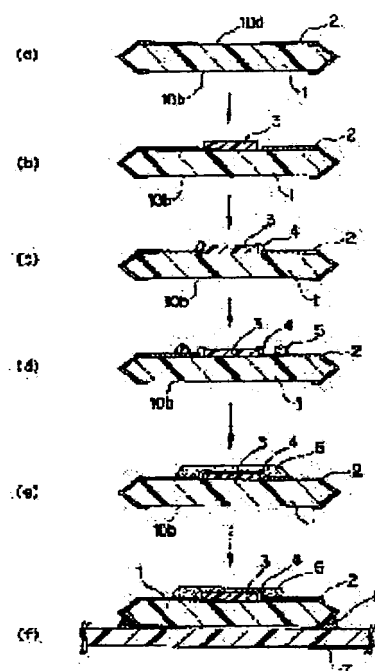
(72)Inventor : ANDO YOSHIYUKI
SATO AKIRA
ASANO HIDEKI

(54) SEMICONDUCTOR PACKAGE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To make a large-scale manufacturing equipment unnecessary and resolve problems to be caused by a lead frame.

SOLUTION: A plastic molded object 1 has a surface inclined inward to a mounting surface, on the side surface. In the plastic molded object 1, a conductor pattern layer 2 is so formed that one end is adjacent to a chip mounting region 10a and the other end reaches the mounting surface of a printed wiring board or the like. A semiconductor chip 3 is mounted on the chip mounting region 10a. The semiconductor chip 3 is connected with the conductor pattern 2 by wire bonding using gold wires 4. Sealing material 6 is injected so as to cover the connection part and the semiconductor chip 3. Thereby a semiconductor package without using metal leads can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In-the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The plastics Plastic solid which meets mounting substrates which have the chip loading field in which a semiconductor chip is carried, such as the 1st field and a printed circuit board, and has a side face between said 1st field, the 2nd field located in the opposite side and said 1st field, and said 2nd field, The conductor pattern layer extended to the position of said 2nd field through said side face from the location contiguous to said chip loading field of said 1st field, The semiconductor package characterized by having a wrap sealing agent for the connection of the semiconductor chip which was carried in said chip loading field of said 1st field, and was connected to said conductor pattern layer by the bonding wire, said semiconductor chip, and said bonding wire.

[Claim 2] Said plastics Plastic solid is a semiconductor package according to claim 1 characterized by processing said chip loading field of said 1st field on the crevice.

[Claim 3] Said plastics Plastic solid is a semiconductor package according to claim 1 characterized by having the concave heights formed in said 2nd field, and having a conductor layer in the lobe.

[Claim 4] Said sealing agent is a semiconductor package according to claim 2 characterized by being constituted by hardening of the liquefied sealing agent with which said crevice is filled up.

[Claim 5] Manufacture a plate-like plastics Plastic solid by fabrication, and the front face of said plastics Plastic solid is roughened. Make a plating catalyst adhere to the roughening side of said plastics Plastic solid, and a resist is prepared in the adhesion side of said plating catalyst. Give exposure and development of a predetermined pattern to said resist, and an unnecessary part is removed. A conductor pattern layer is formed in the part in which said resist is not prepared with nonelectrolytic plating etc. The manufacture approach of the semiconductor package characterized by removing the resist which remained to said plastics Plastic solid, carrying a semiconductor chip in said plastics Plastic solid, connecting said semiconductor chip to said conductor pattern layer, and carrying out the resin seal of the predetermined part.

[Claim 6] Manufacture a plate-like plastics Plastic solid by fabrication, and the front face of said plastics Plastic solid is roughened. Make a plating catalyst adhere to the roughening side of said plastics Plastic solid, and a metal layer is formed in it with nonelectrolytic plating etc. all over said plastics Plastic solid. Give etching resist to said metal layer and a conductor pattern layer is formed. The manufacture approach of the semiconductor package characterized by removing said resist, carrying a semiconductor chip in said plastics Plastic solid, connecting said semiconductor chip to said conductor pattern layer, and carrying out the resin seal of the predetermined part.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor package and its manufacture approach.

[0002]

[Description of the Prior Art] As the mounting approach of a semi-conductor, from before, various kinds of packages using a metal lead are mainly used, and it has spread widely. Moreover, the LCC (lead loess chip carrier) package of the structure not using a metal lead is also used. Ceramic - textile glass yarn is used for that package ingredient, and this LCC package is the structure in which printed wiring was formed, instead of being a metal lead. Furthermore, there is plastics mounting using bump connection as the mounting approach not using a metal lead etc.

[0003]

[Problem(s) to be Solved by the Invention] However, according to the manufacture approach of the conventional semiconductor package, when using a metal lead, a large-scale manufacturing facility is needed for manufacture of a metal lead. For example, in manufacture of lead frame material, a facility of the dissolution and casting of a raw material, hot working, hot rolling, cold rolling, annealing, etc. is needed, and in piercing and processing a leadframe into a predetermined configuration, the expensive punching metal mold made from cemented carbide is needed. Moreover, after closing with plastics by transfermold, cutting processing and bending of a lead part are required, and the mold for it is needed. furthermore — since a lead exists, and it being twisted or curving fundamentally, **** — etc. — deformation arises and quality may be affected. [that a lead bends]

[0004] Moreover, LLC of ceramic - textile glass yarn has the fault that package cost benefits a ceramic high. On the other hand, plastics mounting has not spread so much compared with the mounting method using [there are many technical technical problems and] a metal lead. In addition, in order that a bump may hide in the bottom of a semiconductor chip, there is also a problem that a mounting situation is easily unobservable.

[0005] Therefore, the purpose of this invention does not need a large-scale manufacturing facility, but is to offer the semiconductor package which solved many problems resulting from a leadframe, and its manufacture approach.

[0006]

[Means for Solving the Problem] The 1st field which has the chip loading field in which a semiconductor chip is carried as the 1st description in order that this invention may attain the above-mentioned purpose, The plastics Plastic solid which meets mounting substrates, such as a printed circuit board, and has a side face between said 1st field, the 2nd field located in the opposite side and said 1st field, and said 2nd field, The conductor pattern layer extended to the position of said 2nd field through said side face from the location contiguous to said chip loading field of said 1st field, It is carried in said chip loading field of said 1st field, and the semiconductor package characterized by having a wrap sealing agent for the connection of the semiconductor chip connected to said conductor pattern layer by the bonding wire, said semiconductor chip, and said bonding wire is offered.

[0007] This invention manufactures a plate-like plastics Plastic solid by fabrication as the 2nd description. Roughen the front face of said plastics Plastic solid, and a plating catalyst is made to adhere to the roughening side of said plastics Plastic solid. A metal layer is formed with nonelectrolytic plating etc. all over said plastics Plastic solid. Give etching resist to said metal layer and a conductor pattern layer is formed. Said resist is removed, a semiconductor chip is carried in said plastics Plastic solid, said semiconductor chip is connected to said conductor pattern layer, and the manufacture approach of the semiconductor package characterized by carrying out the resin seal of the predetermined part is offered.

[0008]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. Drawing 1 shows the manufacture approach of the semiconductor package concerning this invention. First, as shown in (a), the conductor pattern layer 2 (electrical circuit) of a predetermined pattern is formed in the part except chip loading field 10a of plastics Plastic solid 1 which processed it by transfer molding etc. so that it might have the cross section of V typeface on a side face, and pattern unnecessary field 10b of a component side (rear face). Subsequently, as shown in (b), a semiconductor chip 3 uses adhesives for chip loading field 10a, and is carried in it. Then, as shown in (c), a gold streak 4 is connected for the electrode section of a semiconductor chip 3, and the predetermined part of the surrounding conductor pattern layer 2 of a semiconductor chip 3 by wirebonding. Subsequently, as shown in (d), on the conductor pattern layer 2 of near where the bonding wire 4 was connected, the hyperviscous liquefied sealing agent 5 is formed in the shape of a circular ring. Then, as shown in (e), it fills up with the liquefied sealing agent 6 of hypoviscosity so that the inside of the liquefied sealing agent 5 may be buried. Since the liquefied sealing agent 5 is hyperviscosity, it does not flow out and does not produce form collapse in the outer frame configuration of a closure part. Therefore, if filled up with the liquefied sealing agent 6 of hypoviscosity inside the liquefied sealing agent 5, the closure will be performed, making the configuration of a closure part into a desired form.

[0009] In this way, the completed semiconductor package is mounted in a printed circuit board 7 etc. The mounting approach is performed by carrying out a soldered joint by the solder section 8 using the conductor pattern layer 2 currently extended on the side face of plastics Plastic solid 1. Thermoplastics and thermosetting resin can be used as an ingredient of plastics Plastic solid 1. As for thermoplastics, it is desirable to have thermal resistance, and, specifically, it has aromatic polyester, aromatic polyamide, crystalline

THIS PAGE BLANK (USPTO)

polystyrene, a polyphenylene sulfide (PPS), polyether imide (PEI), etc. Moreover, as thermosetting resin, there are an epoxy resin, polyester, phenol resin, melamine resin, diallyl phthalate resin, etc. There are injection molding besides transfer molding, compression molding, casting, etc. in processing of plastics Plastic solid 1.

[0010] Thermosetting liquefied encapsulants, such as an epoxy system or a silicon system, and the thermoplastic liquefied encapsulant containing a solvent can be used for the liquefied sealing agents 5 and 6. Drawing 2 shows how to form a conductor pattern to a plastics Plastic solid. First, as shown in (a), plastics Plastic solid 1 is manufactured with resin shaping so that it may have the flat surface 1a and 1b which intersects a side face, i.e., V character-like inclined planes. Subsequently, as shown in (b), the conductor pattern layer 2 is formed in the front face of plastics Plastic solid 1 except for chip loading field 10a, and also the conductor pattern layer 2 is formed so that it may be extended on the edge on the back from the circumference. The conductor pattern layer 2 of the rear face of plastics Plastic solid 1 is good even in the part linked to the conductor pattern on a printed circuit board 7, and it is not necessary to prepare it in the whole region.

[0011] Drawing 3 shows other approaches of forming a conductor pattern to a plastics Plastic solid. First, as shown in (a), plastics Plastic solid 1 is manufactured with resin shaping so that it may have the V character-like inclined planes 1a and 1b on a side face. Next, as shown in (b), a conductive layer 9 is formed all over the vertical side and side face of plastics Plastic solid 1. Subsequently, as shown in (c), the part concerned is removed so that chip loading field 10a may be formed in a front face of etching etc., and the part concerned is removed so that pattern unnecessary field 10b may be formed in a rear face. By the above, plastics Plastic solid 1 of the configuration shown in (a) of drawing 1 is completed.

[0012] Formation of the conductor pattern layer 2 in drawing 2 and drawing 3 may be the lamination of a metallic foil (copper foil), and can also be formed using nonelectrolytic plating, nonelectrolytic plating, electrolysis plating, vacuum evaporation, sputtering, etc. Or the approach of applying a conductive paste, the approach embedding the metal wire of the shape of a thin straight angle, the approach of forming using resist laser (for example, carbon dioxide gas laser), etc. may be used.

[0013] Drawing 4 shows the plastics Plastic solid after forming a conductor pattern. Chip loading field 10a is secured in the center section of the front face of plastics Plastic solid 1, and it is formed so that many conductor pattern layers 2 of a book may be prolonged in a radial from this neighborhood. This conductor pattern layer 2 was transmitted to the front face of the inclined planes 1a and 1b of the shape of V character prepared in the side face of plastics Plastic solid 1, and is prolonged to the rear face.

[0014] Drawing 5 shows the gestalt of implementation of the 2nd of the manufacture approach of the semiconductor package concerning this invention. In the gestalt of this operation, the description is in the place where plastics Plastic solid 1 formed the crevice 11 in the part of the tooth space in which a semiconductor chip 3 is carried, i.e., chip loading field 10a, (based on fabrication). The crevice 11 has the depth of thickness extent of a semiconductor chip 3. To plastics Plastic solid 1 with which the crevice 11 was formed as shown in (a), as shown in (b), a semiconductor chip 3 is carried in a crevice 11. Subsequently, as shown in (c), HOIYA bonding of the conductor pattern layer 2 located in the edge of a crevice 11 and the polar zone on a semiconductor chip 3 is carried out by the gold streak 4. Then, as shown in (d) of drawing 1, and (e), the closure of the upper part of a semiconductor chip 3 is carried out by resin. Furthermore, mounting to a printed circuit board 7 is performed like (f) of drawing 1.

[0015] Drawing 6 shows the formation process of the conductor pattern of the manufacture approach of the semiconductor package concerning this invention. First, as shown in (a), plastics Plastic solid 1 in which the V character-like inclined planes 1a and 1b were formed on the side face is manufactured by transfer molding etc. Next, as shown in (b), the front face of plastics Plastic solid 1 is roughened, and as shown in (c), the plating catalyst 12 is applied to a roughening side. Subsequently, after applying a resist 13, as shown in (d), exposure and resist development are performed and resists other than the part which should prepare a conductor pattern are removed, and as shown in (e), it leaves resist 13a (equivalent to semiconductor chip loading field 10a), and resist 13b (equivalent to pattern unnecessary field 10b). Furthermore, like (f), non-electrolytic copper plating 14 is performed to parts other than resist 13a and 13b, and the conductor pattern layer 2 is formed. Subsequently, like (g), after exfoliating Resists 13a and 13b, if protection plating is performed to the conductor pattern layer 2, plastics Plastic solid 1 with conductor pattern layer 2 shown in (a) of drawing 1 will be completed.

[0016] When the formation approach of the non-electrolytic copper plating 14 was explained, it is immersed in the nonelectrolytic plating liquid of the following presentations, and was made for copper thickness to be set to 20 micrometers.

A copper sulfate and 5 hydrate 10 g/l Ethylenediaminetetraacetic acid 30g/l. Polyethylene glycol (Mw600) .. 0.8 g/l 2 and 2'-JIBIRIJIRU 30 ml/l 37% formaldehyde 3 ml/l pH (it adjusts by the sodium hydroxide) 12.5 Solution temperature Nickel plating with a thickness of 5 micrometers and gilding with a thickness of 0.5 micrometers were prepared as protection plating on 70 degrees C and copper plating.

[0017] Drawing 7 shows other formation processes of the conductor pattern of the manufacture approach of the semiconductor package concerning this invention. Since (a) - (c) of this production process is the same as (a) - (c) of drawing 6, it omits explanation. Non-electrolytic copper plating 15 is performed to the whole surface by (d). Subsequently, a resist 13 is applied all over the non-electrolytic copper plating 15. next, it is shown in (e) — as — the conductor of the loading field of a semiconductor chip, and a rear face — exposure and resist development are performed only to a garbage, and as shown in (f), it leaves Resists 13a and 13b only to a conductor pattern part. Then, as shown in (g), the part which the non-electrolytic copper plating 15 has exposed is etched and removed, and Resists 13a and 13b are further exfoliated like (h). Finally, like (i), if protection plating is performed to the non-electrolytic copper plating 15 (2), plastics Plastic solid 1 with conductor pattern layer 2 will be completed.

[0018] Drawing 8 shows the modification of the plastics Plastic solid concerning this invention. The concave heights 16 of the letter of a projection (or groove) are formed in the base (field which touches a printed circuit board) of plastics Plastic solid 1. By these concave heights 16, the opening produced between printed circuit boards can raise the heat dissipation effectiveness, or it can use for some circuit patterns. Drawing 9 is the example which used the concave heights 16 of drawing 8 for the circuit pattern. For (a), the example of concave heights 16a of a semicircle ball and (b) are [the example of wave-like concave heights 16c and (d) of the example of rectangular concave heights 16b and (c)] the examples of 16d of rectangular concave heights, and the conductor pattern 17 is formed in each apical surface.

[0019] Drawing 10 shows other examples of a configuration of the side face of a plastics Plastic solid. In the gestalt of the above-mentioned implementation, although only the V character-like inclined planes 1a and 1b were shown, as shown in (a) of drawing 10, and (b), you may be the configuration secured to extent in which the inclined plane 18 of the inside sense can form the solder section ((f) of drawing 1) to component sides, such as a printed circuit board, for example. Moreover, as shown in (c), parts other than solder

THIS PAGE BLANK (USPTO)

section 8 may have the curved-surface section 19. Or as shown in (d), the whole side face may be the configuration which has one inclined plane 20.

[0020] Drawing 11 (a) shows other examples of a configuration of the semiconductor package concerning this invention. In the gestalt of each above-mentioned implementation, the side face is made into the perpendicular configuration to having had the inclined plane into the part which all meets the whole surface or the printed circuit board of a side face of a plastics Plastic solid. Therefore, the conductor pattern layer 2 is formed so that it may have the cross-section configuration of the typeface of "KO." In this case, the conductor pattern sections a11 and a12 of a side face turn into a connection with a printed circuit board etc.

[0021] Drawing 11 (b) is deformation of drawing 11 (a), plastics Plastic solid 1 had crevice 1c which forms the solder section in both sides at the bottom, and the conductor pattern 2 is extended to the part.

[0022]

[Effect of the Invention] As mentioned above, since it was made the configuration filled up with the sealing agent according to the semiconductor package of this invention so that an end may adjoin a chip loading field, may prepare a conductor pattern layer in the side face of a plastics Plastic solid so that the other end may attain to component sides, such as a printed circuit board, and a semiconductor chip might be carried in a chip loading field, connection between this and said conductor pattern layer might be made by the bonding wire and said semiconductor chip and connection might be covered so that clearly, a semiconductor package can be constituted, without using a metal lead. Therefore, since a facility of the dissolution and casting of a raw material, hot working, hot rolling, cold rolling, annealing, etc. and expensive punching metal mold become unnecessary and also cutting processing and bending of a lead part also become unnecessary, facility cost and product cost can be reduced. furthermore — since a lead does not exist, and it being twisted or curving **** — etc. — it does not generate but the problem of deformation can attain improvement and stabilization of quality. [that a lead bends] Moreover, a mounting situation can be easily observed now. Moreover, since the plastics Plastic solid is used for the base material, it does not become high about package cost like LLC of ceramic — textile glass yarn.

[0023] According to the manufacture approach of the semiconductor package of this invention, the plate-like plastics Plastic solid which has a side face is resinated. Roughen the front face of this plastics Plastic solid, and a plating catalyst is made to adhere to this roughening side. Prepare a resist in this adhesion side, give exposure and development of a predetermined pattern to this resist, and an unnecessary part is removed. an approach including the process which removes the resist which formed the conductor pattern layer in the part in which said resist is not prepared with nonelectrolytic plating etc., and remained to said plastics Plastic solid — or After making a plating catalyst adhere as mentioned above, a metal layer is formed with nonelectrolytic plating etc. all over said plastics Plastic solid. Since it was made the approach including the process which gives etching resist to said metal layer, forms a conductor pattern layer, and removes said resist Since a facility of the dissolution and casting of a raw material, hot working, hot rolling, cold rolling, annealing, etc. and expensive punching metal mold become unnecessary and also cutting processing and bending of a lead part also become unnecessary, facility cost and product cost can be reduced.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is process drawing showing the gestalt of implementation of the 1st of the manufacture approach of the semiconductor package of this invention.

[Drawing 2] It is process drawing showing how to form a conductor pattern in a plastics Plastic solid.

[Drawing 3] It is process drawing showing other examples of the approach of forming a conductor pattern in a plastics Plastic solid.

[Drawing 4] It is the top view showing the plastics Plastic solid after forming a conductor pattern.

[Drawing 5] It is process drawing showing the gestalt of implementation of the 2nd of the manufacture approach of the semiconductor package of this invention.

[Drawing 6] It is process drawing showing the formation process of the conductor pattern concerning this invention.

[Drawing 7] It is process drawing showing other formation processes of the conductor pattern concerning this invention.

[Drawing 8] It is the front view showing the modification of the plastics Plastic solid concerning this invention.

[Drawing 9] It is the sectional view showing the detail of the concave heights of drawing 8.

[Drawing 10] It is the sectional view showing other examples of a side-face configuration of the plastics Plastic solid concerning this invention.

[Drawing 11] It is the sectional view showing other examples of a configuration of the semiconductor package concerning this invention.

[Description of Notations]

1 Plastics Plastic Solid

1a, 1b V character-like inclined plane

2 17 Conductor pattern layer

3 Semiconductor Chip

4 Gold Streak

5 Hyperviscous Liquefied Sealing Agent

6 Liquefied Sealing Agent of Hypoviscosity

7 Printed Circuit Board

8 Solder Section

9 Conductive Layer

10a Chip loading field

10b Pattern unnecessary field

11 Crevice

12 Plating Catalyst

13 Resist

14 15 Radio solution copper plating

16, 16a, 16b, 16c, 16d Concave heights

18 20 Inclined plane

[Translation done.]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-238830

(43)公開日 平成11年(1999) 8月31日

(51)Int.Cl.⁶

H 0 1 L 23/12
23/50

識別記号

F I

H 0 1 L 23/12
23/50

L
R

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21)出願番号 特願平10-40382

(22)出願日 平成10年(1998) 2月23日

(71)出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72)発明者 安藤 好幸

茨城県日立市日高町5丁目1番1号 日立
電線株式会社パワーシステム研究所内

(72)発明者 佐藤 亮

茨城県日立市日高町5丁目1番1号 日立
電線株式会社パワーシステム研究所内

(72)発明者 浅野 秀樹

茨城県日立市日高町5丁目1番1号 日立
電線株式会社パワーシステム研究所内

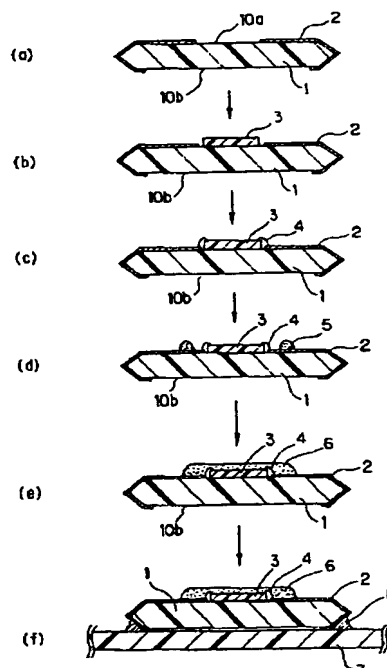
(74)代理人 弁理士 平田 忠雄

(54)【発明の名称】 半導体パッケージ及びその製造方法

(57)【要約】

【課題】 大規模な製造設備を必要とせず、リードフレームに起因する諸問題を解決した半導体パッケージ及びその製造方法を提供する。

【解決手段】 プラスチック成形体1は、実装面に対して内向きの傾斜面を側面に有している。このプラスチック成形体1には、一端がチップ搭載領域10aに隣接し、他端がプリント基板等の実装面に及ぶように導体パターン層2を設ける。チップ搭載領域10aに半導体チップ3を搭載する。半導体チップ3と導体パターン2との接続は、金線4を用いたワイヤボンディングとし、この接続部及び半導体チップ3を覆うようにして封止材6を充填する。これにより、金属リードを用いない半導体パッケージが得られる。



【特許請求の範囲】

【請求項 1】 半導体チップが搭載されるチップ搭載領域を有する第 1 の面、プリント基板等の実装基板に対面し、前記第 1 の面と反対側に位置する第 2 の面、および前記第 1 の面と前記第 2 の面の間に側面を有するプラスチック成形体と、

前記第 1 の面の前記チップ搭載領域に隣接する位置から前記側面を経て前記第 2 の面の所定の位置まで伸びる導体パターン層と、

前記第 1 の面の前記チップ搭載領域に搭載され、前記導体パターン層にボンディングワイヤで接続された半導体チップと、

前記半導体チップ及び前記ボンディングワイヤの接続部を覆う封止材と、を有することを特徴とする半導体パッケージ。

【請求項 2】 前記プラスチック成形体は、前記第 1 の面の前記チップ搭載領域が凹部に加工されていることを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 3】 前記プラスチック成形体は、前記第 2 の面に形成された凹凸部を有し、その突出部に導体層を有することを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 4】 前記封止材は、前記凹部に充填される液状封止材の硬化によって構成されることを特徴とする請求項 2 記載の半導体パッケージ。

【請求項 5】 平板状のプラスチック成形体を成形加工により製造し、

前記プラスチック成形体の表面を粗化し、

前記プラスチック成形体の粗化面にめっき触媒を付着させ、

前記めっき触媒の付着面にレジストを設け、

前記レジストに所定のパターンの露光および現像を施して不要な部分を除去し、

前記レジストが設けられていない部分に無電解めっき等により導体パターン層を形成し、

前記プラスチック成形体に残留したレジストを除去し、前記プラスチック成形体に半導体チップを搭載し、前記半導体チップを前記導体パターン層に接続し、所定の部分を樹脂封止することを特徴とする半導体パッケージの製造方法。

【請求項 6】 平板状のプラスチック成形体を成形加工により製造し、

前記プラスチック成形体の表面を粗化し、

前記プラスチック成形体の粗化面にめっき触媒を付着させ、

前記プラスチック成形体の全面に無電解めっき等により金属層を形成し、

前記金属層にエッチングレジストを施して導体パターン層を形成し、

前記レジストを除去し、前記プラスチック成形体に半導

体チップを搭載し、前記半導体チップを前記導体パターン層に接続し、所定の部分を樹脂封止することを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体パッケージ及びその製造方法に関するものである。

【0002】

【従来の技術】半導体の実装方法として、従来より、主に金属リードを使った各種のパッケージが使われており、広く普及している。また、金属リードを使わない構造の LCC（リードレス チップ キャリア）パッケージも用いられている。この LCC パッケージは、そのパッケージ材料にセラミック・ガラス系が使用され、金属リードの代わりに印刷配線を形成した構造である。更に、金属リードを使わない実装方法として、バンプ接続を用いたプラスチック実装などもある。

【0003】

【発明が解決しようとする課題】しかし、従来の半導体パッケージの製造方法によると、金属リードを使う場合、金属リードの製造に大規模な製造設備が必要になる。例えば、リードフレーム材料の製造では、原料の溶解・鋳造、熱間加工、熱間圧延、冷間圧延・焼鈍などの設備を必要とし、リードフレームを所定の形状に打ち抜き加工する場合には、超合金製の高価な打ち抜き金型が必要になる。また、トランスファモールドによりプラスチックで封止した後、リード部分の切断加工及び曲げ加工が必要であり、そのための型が必要になる。更には、リードが存在するので、根本的に、リードが曲がり、振じれたり、反ったり等の変形が生じ、品質に影響を与える可能性がある。

【0004】また、セラミック・ガラス系の LCC は、セラミックのためにパッケージコストが高くなるという欠点がある。一方、プラスチック実装は技術的課題が多く、金属リードを使った実装方式に比べて、それほど普及していない。加えて、バンプが半導体チップの下に隠れてしまうため、実装状況を容易に観察できないという問題もある。

【0005】したがって、本発明の目的は、大規模な製造設備を必要とせず、リードフレームに起因する諸問題を解決した半導体パッケージ及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】本発明は、上記の目的を達成するため、第 1 の特徴として、半導体チップが搭載されるチップ搭載領域を有する第 1 の面、プリント基板等の実装基板に対面し、前記第 1 の面と反対側に位置する第 2 の面、及び前記第 1 の面と前記第 2 の面の間に側面を有するプラスチック成形体と、前記第 1 の面の前記チップ搭載領域に隣接する位置から前記側面を経て前記

第2の面の所定の位置まで伸びる導体パターン層と、前記第1の面の前記チップ搭載領域に搭載され、前記導体パターン層にボンディングワイヤで接続された半導体チップと、前記半導体チップ及び前記ボンディングワイヤの接続部を覆う封止材とを有することを特徴とする半導体パッケージを提供する。

【0007】本発明は第2の特徴として、平板状のプラスチック成形体を成形加工により製造し、前記プラスチック成形体の表面を粗化し、前記プラスチック成形体の粗化面にめっき触媒を付着させ、前記プラスチック成形体の全面に無電解めっき等により金属層を形成し、前記金属層にエッチングレジストを施して導体パターン層を形成し、前記レジストを除去し、前記プラスチック成形体に半導体チップを搭載し、前記半導体チップを前記導体パターン層に接続し、所定の部分を樹脂封止することを特徴とする半導体パッケージの製造方法を提供する。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を基に説明する。図1は本発明に係る半導体パッケージの製造方法を示す。まず、(a)に示すように、側面にV字形の断面を有するようにトランスファ成形等で加工を施したプラスチック成形体1のチップ搭載領域10a及び実装面(裏面)のパターン不要領域10bを除いた部分に所定のパターンの導体パターン層2(電気回路)が設けられる。ついで、(b)に示すように、チップ搭載領域10aに半導体チップ3が接着剤を用いて搭載される。この後、(c)に示すように、半導体チップ3の電極部分と、半導体チップ3の周辺の導体パターン層2の所定部分とが金線4がワイヤボンディングにより接続される。ついで、(d)に示すように、ボンディングワイヤ4が接続された近傍の導体パターン層2上には、高粘度の液状封止材5が円環状に設けられる。この後、(e)に示すように、液状封止材5の内側を埋めるように低粘度の液状封止材6が充填される。液状封止材5は高粘度であるため、流れ出たりすることがなく、封止部分の外枠形状に形崩れを生じない。したがって、液状封止材5の内側に低粘度の液状封止材6を充填すれば、封止部分の形状を所望の形にしたまま封止が行われる。

【0009】こうして完成した半導体パッケージは、プリント基板7などに実装される。その実装方法は、プラスチック成形体1の側面に延伸している導体パターン層2を用い、はんだ部8によりはんだ接続することにより行われる。プラスチック成形体1の材料としては、熱可塑性樹脂や熱硬化性樹脂を用いることができる。熱可塑性樹脂は耐熱性を備えていることが望ましく、具体的には、芳香族ポリエステル、芳香族ポリアミド、結晶性ポリスチレン、ポリフェニレンスルフィド(PPS)、ポリエーテルイミド(PEI)などがある。また、熱硬化性樹脂としては、エポキシ樹脂、ポリエステル、フェノール樹脂、メラミン樹脂、ジアリルフタレート樹脂などがある。

プラスチック成形体1の加工には、トランスファ成形のほか、射出成形、圧縮成形、注塑などがある。

【0010】液状封止材5、6には、エポキシ系あるいはシリコン系などの熱硬化性の液状封止剤と、溶剤を含んだ熱可塑性の液状封止剤を用いることができる。図2はプラスチック成形体に導体パターンを形成する方法を示す。まず、(a)に示すように、側面に交差する平面、すなわちV字状の傾斜面1a、1bを有するように樹脂成形によりプラスチック成形体1を製作する。ついで、(b)に示すように、プラスチック成形体1の表面にチップ搭載領域10aを除いて導体パターン層2を形成するほか、周辺から裏面の縁に伸びるように導体パターン層2を形成する。プラスチック成形体1の裏面の導体パターン層2は、プリント基板7上の導体パターンに接続する部分までよく、全域に設ける必要はない。

【0011】図3はプラスチック成形体に導体パターンを形成する他の方法を示す。まず、(a)に示すように、側面にV字状の傾斜面1a、1bを有するように樹脂成形によりプラスチック成形体1を製作する。次に、(b)に示すように、プラスチック成形体1の上下面と側面の全面に導電層9を形成する。ついで、(c)に示すように、エッチング等により、表面においてはチップ搭載領域10aが形成されるように当該部分を除去し、裏面においてはパターン不要領域10bが形成されるように当該部分を除去する。以上により、図1の(a)に示した形状のプラスチック成形体1が完成する。

【0012】図2及び図3における導体パターン層2の形成は、金属箔(銅箔)のラミネートであってもよいし、無電解めっき、無電解めっきと電解めっき、蒸着、スパッタリング等を用いて形成することもできる。或いは、導電性ペーストを塗布する方法、細い平角状の金属線を埋め込む方法、レジスト・レーザ(例えば、炭酸ガスレーザ)を用いて形成する方法などでもよい。

【0013】図4は導体パターンを形成後のプラスチック成形体1を示す。プラスチック成形体1の表面の中央部にはチップ搭載領域10aが確保され、この四辺から多数本の導体パターン層2が放射状に伸びるように形成されている。この導体パターン層2は、プラスチック成形体1の側面に設けられたV字状の傾斜面1a、1bの表面を伝って裏面へ延びている。

【0014】図5は本発明に係る半導体パッケージの製造方法の第2の実施の形態を示す。本実施の形態においては、プラスチック成形体1が、半導体チップ3を搭載するスペース、つまりチップ搭載領域10aの部分に凹部11を形成(成形加工による)したところに特徴がある。凹部11は、半導体チップ3の厚み程度の深さを有している。(a)のように凹部11が形成されたプラスチック成形体1に対し、(b)のように、凹部11内に半導体チップ3が搭載される。ついで、(c)に示すよ

うに、凹部11の端部に位置する導体パターン層2と、半導体チップ3上の電極部とが金線4でホイヤーボンディングされる。この後、図1の(d)、(e)に示したように、半導体チップ3の上部が樹脂で封止される。更に、図1の(f)のように、プリント基板7への実装が行われる。

【0015】図6は本発明に係る半導体パッケージの製造方法の導体パターンの形成工程を示す。まず、(a)に示すように、トランスファ成形等により、側面にV字状の傾斜面1a、1bを形成したプラスチック成形体1を製作する。次に、(b)のように、プラスチック成形体1の表面を粗化し、(c)のように、粗化面にめっき触媒12を塗布する。ついで、レジスト13を塗布した後、(d)のように、露光及びレジスト現像を行い、導*

硫酸銅・五水和物・・・・・・・・・・10g/l
エチレンジアミン四酢酸・・・・・・・・・・30g/l
ポリエチレングリコール(Mw600)・・0.8g/l
2、2'-ジピリジル・・・・・・・・・・30ml/l
37%ホルムアルデヒド・・・・・・・・・・3ml/l
pH(水酸化ナトリウムで調整)・・・・・・・・12.5
液温・・・・・・・・・・70℃

そして、銅めっきの上に保護めっきとして、厚さ5μmのニッケルめっきと、厚さ0.5μmの金めっきを設けた。

【0017】図7は本発明に係る半導体パッケージの製造方法の導体パターンの他の形成工程を示す。この製造工程の(a)～(c)は、図6の(a)～(c)と同じであるので説明を省略する。(d)で全面に無電解銅めっき15を施す。ついで、無電解銅めっき15の全面にレジスト13を塗布する。次に、(e)に示すように、半導体チップの搭載領域と裏面の導体不要部分にのみ露光及びレジスト現像を行い、(f)に示すように、導体パターン部分にのみレジスト13a、13bを残す。この後、(g)に示すように、無電解銅めっき15が露出している部分をエッチングして除去し、更に、(h)のように、レジスト13a、13bを剥離する。最後に、(i)のように、無電解銅めっき15(2)に保護めっきを施せば、導体パターン層2付きのプラスチック成形体1が完成する。

【0018】図8は本発明に係るプラスチック成形体の変形例を示す。プラスチック成形体1の底面(プリント基板に接する面)には、突起状(又は溝状)の凹凸部16が設けられている。この凹凸部16により、プリント基板との間に生じる空隙により放熱効果を高めたり、或いは、回路パターンの一部に用いることができる。図9は図8の凹凸部16を回路パターンに用いた例である。

(a)は半円球の凹凸部16aの例、(b)は矩形の凹凸部16bの例、(c)は波形の凹凸部16cの例、(d)は矩形の凹凸部16dの例であり、それぞれの先端面には導体パターン17が設けられている。

* 体パターンを設けるべき部分以外のレジストを除去し、(e)に示すように、レジスト13a(半導体チップ搭載領域10aに相当)とレジスト13b(パターン不要領域10bに相当)を残す。更に、(f)のように、レジスト13a、13b以外の部分に無電解銅めっき14を施して導体パターン層2を形成する。ついで、レジスト13a、13bを剥離した後、(g)のように、導体パターン層2に保護めっきを施せば、図1の(a)に示す導体パターン層2付きのプラスチック成形体1が完成する。

【0016】無電解銅めっき14の形成方法について説明すると、以下の組成の無電解めっき液に浸漬し、銅の厚みが20μmになるようにした。

【0019】図10はプラスチック成形体の側面の他の形状例を示す。上記実施の形態においては、V字状の傾斜面1a、1bのみを示したが、例えば、図10の(a)、(b)のようにプリント基板等の実装面に対して内向きの傾斜面18が、はんだ部(図1の(f))を形成できる程度に確保された形状であってもよい。また、(c)のように、はんだ部8以外の部分が曲面部19を有していてもよい。或いは、(d)のように、側面の全体が1つの傾斜面20を有する形状であってもよい。

【0020】図11(a)は本発明に係る半導体パッケージの他の構成例を示す。上記各実施の形態においては、いずれもプラスチック成形体の側面の全面或いはプリント基板に対面する部分に傾斜面を有していたのに対し、側面を垂直の形状にしている。したがって、導体パターン層2は“コ”の字形の断面形状を有するように形成される。この場合、側面の導体パターン部a₁₁、a₁₂がプリント基板等との接続部になる。

【0021】図11(b)は図11(a)の変形であり、プラスチック成形体1は底面の両側にはんだ部を形成する凹部1cを有し、その部分まで導体パターン2が伸びている。

【0022】

【発明の効果】以上より明らかな如く、本発明の半導体パッケージによれば、プラスチック成形体の側面に、一端がチップ搭載領域に隣接し、他端がプリント基板等の実装面に及ぶように導体パターン層を設け、チップ搭載領域に半導体チップを搭載し、これと前記導体パターン層との接続をボンディングワイヤで行い、前記半導体チ

ップ及び接続部を覆うように封止材を充填した構成にしたので、金属リードを用いることなく半導体パッケージを構成できる。したがって、原料の溶解・鋳造、熱間加工、熱間圧延、冷間圧延・焼鈍などの設備や、高価な打ち抜き金型が不要になるほか、リード部分の切断加工及び曲げ加工も不要になるため、設備コスト及び製品コストを低減することができる。更に、リードが存在しないので、リードが曲がったり、振じれたり、反ったり等の変形の問題は発生せず、品質の向上及び安定化を図ることができる。また、実装状況を容易に観察できるようになる。また、基材にプラスチック成形体を用いているため、セラミック・ガラス系のLSCのように、パッケージコストを高くすることもない。

【0023】本発明の半導体パッケージの製造方法によれば、側面を有する平板状のプラスチック成形体を樹脂加工し、このプラスチック成形体の表面を粗化し、この粗化面にめっき触媒を付着させ、この付着面にレジストを設け、このレジストに所定のパターンの露光および現像を施して不要部分を除去し、前記レジストが設けられていない部分に無電解めっき等により導体パターン層を形成し、前記プラスチック成形体に残留したレジストを除去する工程を含む方法、或いは、上記の様にめっき触媒を付着させた後、前記プラスチック成形体の全面に無電解めっき等により金属層を形成し、前記金属層にエッチングレジストを施して導体パターン層を形成し、前記レジストを除去する工程を含む方法にしたので、原料の溶解・鋳造、熱間加工、熱間圧延、冷間圧延・焼鈍などの設備や、高価な打ち抜き金型が不要になるほか、リード部分の切断加工及び曲げ加工も不要になるため、設備コスト及び製品コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の半導体パッケージの製造方法の第1の実施の形態を示す工程図である。

【図2】プラスチック成形体に導体パターンを形成する方法を示す工程図である。

*【図3】プラスチック成形体に導体パターンを形成する方法の他の例を示す工程図である。

【図4】導体パターンを形成後のプラスチック成形体を示す平面図である。

【図5】本発明の半導体パッケージの製造方法の第2の実施の形態を示す工程図である。

【図6】本発明に係る導体パターンの形成工程を示す工程図である。

【図7】本発明に係る導体パターンの他の形成工程を示す工程図である。

【図8】本発明に係るプラスチック成形体の変形例を示す正面図である。

【図9】図8の凹凸部の詳細を示す断面図である。

【図10】本発明に係るプラスチック成形体の他の側面形状例を示す断面図である。

【図11】本発明に係る半導体パッケージの他の構成例を示す断面図である。

【符号の説明】

1 プラスチック成形体

1a, 1b V字状の傾斜面

2, 17 導体パターン層

3 半導体チップ

4 金線

5 高粘度の液状封止材

6 低粘度の液状封止材

7 プリント基板

8 はんだ部

9 導電層

10a チップ搭載領域

10b パターン不要領域

11 凹部

12 めっき触媒

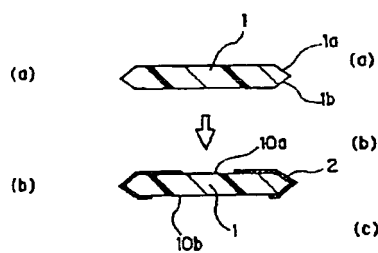
13 レジスト

14, 15 無電解銅めっき

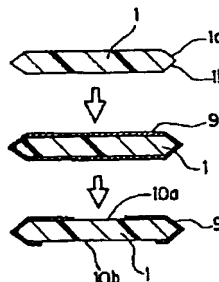
16, 16a, 16b, 16c, 16d 凹凸部

18, 20 傾斜面

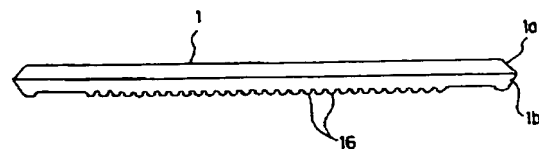
【図2】



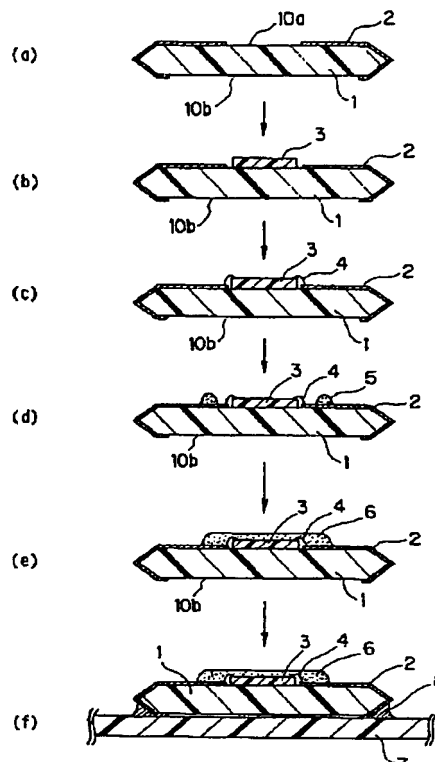
【図3】



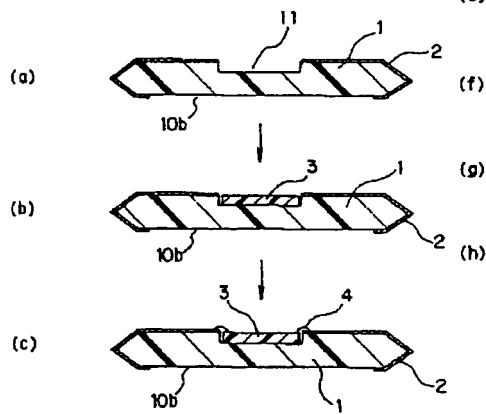
【図8】



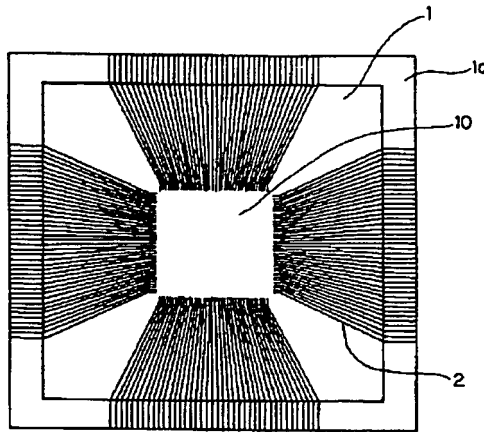
【図 1】



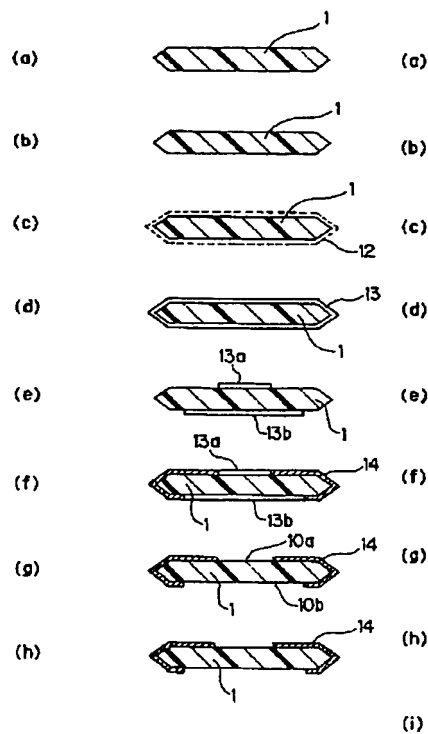
【図 5】



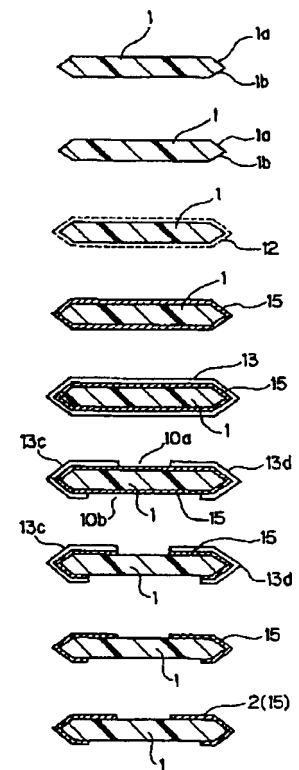
【図 4】



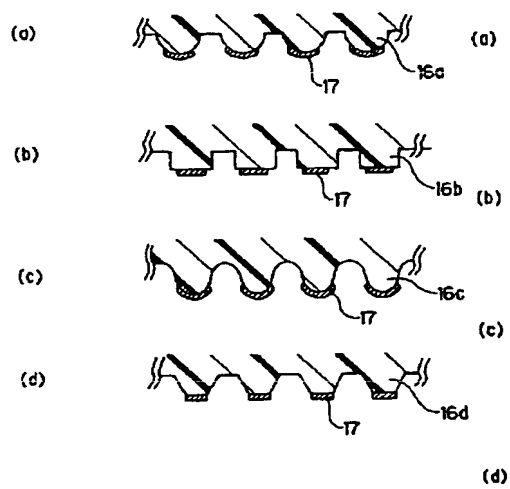
【図 6】



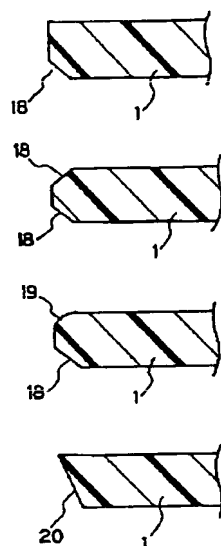
【図 7】



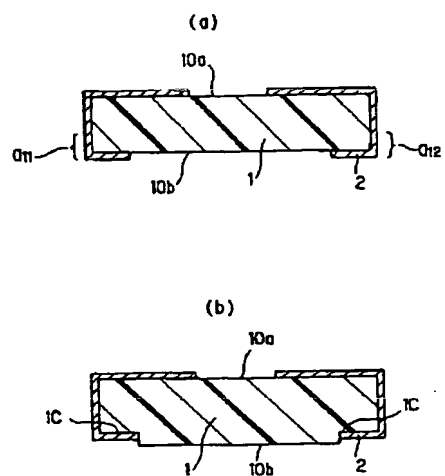
【図 9】



【図 10】



【図 11】



THIS PAGE BLANK (USPTO)